



JPW

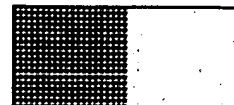
PTO/SB/21 (08-03)
Approved for use through 07/31/2006. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/726,518
	Filing Date	December 4, 2003
	First Named Inventor	PARK, Jae Deok
	Art Unit	2629
	Examiner Name	Sameer K. Gokhale
Total Number of Pages in This Submission	Attorney Docket Number	8734.265 US

ENCLOSURES (Check all that apply)		
<input type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s)/Claim For Priority <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance Communication to Group <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input checked="" type="checkbox"/> Other Enclosure(s) (please identify below): ● Priority Document #10-2002-0076723
<div>Remarks</div>		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm, or Individual name	Valerie P. Hayes; Reg No. 53,005 MCKENNA LONG & ALDRIDGE LLP
Signature	<i>Valerie P. Hayes</i>
Date	July 24, 2006

Docket No.	8734.265 US		
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE			
In Re Application Of:	PARK, Jae Deok	Art Unit:	2629
Application No:	10/726,518	Examiner:	Sameer K. Gokhale
Filed:	December 4, 2003		
Title:	SYSTEM AND METHOD FOR REDUCING OFF-CURRENT IN THIN FILM TRANSISTOR OF LIQUID CRYSTAL DISPLAY DEVICE		
CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS			
Commissioner for Patents P.O. Box 1450 Alexandria, VA 22313-1450			
SIR:			
<input type="checkbox"/>	Full benefit of the filing date of U.S. Application Serial Number (Parent SN), filed (Parent File Date), is claimed pursuant to the provisions of 35 U.S.C. §120 .		
<input type="checkbox"/>	Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e) .		
<input checked="" type="checkbox"/>	Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119 , as noted below.		
In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:			
<u>COUNTRY</u>		<u>APPLICATION NUMBER</u>	
KOREA		10-2002-0076723	
		<u>MONTH/DAY/YEAR</u>	
		December 4, 2002	
A certified copy of the corresponding Convention Application(s)			
<input checked="" type="checkbox"/>	is submitted herewith		
<input type="checkbox"/>	will be submitted prior to payment of the Final Fee		
<input type="checkbox"/>	were filed in prior application Serial No. filed		
<input type="checkbox"/>	were submitted to the International Bureau in PCT Application Number. Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.		
<input type="checkbox"/>	(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and		
	(B) Application Serial No.(s)		
<input type="checkbox"/>	are submitted herewith		
<input type="checkbox"/>	Will be submitted prior to payment of the Final Fee		
Date: <u>July 24, 2006</u>		Respectfully Submitted, <i>Valerie P. Hayes</i>	
MCKENNA LONG & ALDRIDGE LLP 1900 K Street, N.W., Washington, D.C. 20006 Tel. (202) 496-7500 Fax. (202) 496-7756		Valerie P. Hayes Registration No.: 53,005	



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0076723
Application Number

출원년월일 : 2002년 12월 04일
Date of Application

출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2006년 06월 26일

특허청

COMMISSIONER



CERTIFIED COPY OF
ORIGINAL DOCUMENT

【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2005.03.23
【제출인】	
【명칭】	엘지.필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【사건과의 관계】	출원인
【대리인】	
【명칭】	특허법인 네이트
【대리인코드】	9-2004-100002-3
【지정된변리사】	정원기, 윤찬주, 하태호
【포괄위임등록번호】	2004-034562-3
【사건의 표시】	
【출원번호】	10-2002-0076723
【출원일자】	2002.12.04
【심사청구일자】	2002.12.04
【발명의 명칭】	액정표시장치의 전계효과트랜지스터에 대한 오프-스테이트 스트레스 인가용 패널구조
【제출원인】	
【발송번호】	9-5-2005-0029943-64
【발송일자】	2005.01.24
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음

【취지】 특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여 위
와 같이 제출합니다.

대리인

특허법인 네이트 (인)

【수수료】

【보정료】	3,000원
【추가심사청구료】	0원
【기타 수수료】	0원
【합계】	3,000 원

【보정서】

【보정대상항목】 청구항 1

【보정방법】 정정

【보정내용】

【청구항 1】

데이터라인과 게이트라인이 서로 중첩하도록 배열되어 있으며, 상기 게이트라인과 연결되는 게이트단자와, 상기 데이터라인과 연결되는 소스단자와, 액정커패시터와 저장커패시터의 일단이 병렬 구성되어 있는 드레인단자를 가지는 화소전계효과트랜지스터를 포함하여 화소로 정의되는 액정표시장치의 오프전류감소를 위한 바이어스 인가용 액정표시장치 패널구조로써,

상기 저장커패시터의 타단을 제1노드로 하여, 상기 제1노드에 교류전압을 인가하기 위한 제1전압원과;

상기 소스단자와 데이터라인과의 연결점을 제2노드로 하여, 상기 제2노드에 드레인단자가 연결된 제1스위치전계효과트랜지스터와;

상기 게이트단자와 게이트라인의 연결점을 제3노드로 하여, 상기 제3노드에 드레인단자가 연결된 제2스위치전계효과트랜지스터와;

상기 제1스위치전계효과트랜지스터의 소스단자에 직류전압을 인가하기 위한 제2전압원과;

상기 제2스위치전계효과트랜지스터의 소스단자에 직류전압을 인가하기 위한

제3전압원과;

상기 제1스위치전계효과트랜지스터와 제2스위치전계효과트랜지스터의 게이트 단자에 직류전압을 인가하기 위한 제4전압원

을 포함하는 액정표시장치의 전계효과트랜지스터에 대한 오프-스테이트 스트레스 인가용 액정표시장치 패널구조

【보정대상항목】 청구항 3

【보정방법】 삭제

【보정대상항목】 청구항 7

【보정방법】 정정

【보정내용】

【청구항 7】

데이터라인과, 제1게이트드라이버를 구비하여 제1스위치전계효과트랜지스터의 소스단자가 상기 제1게이트드라이버의 출력단에 연결되고 상기 제1스위치전계효과트랜지스터의 드레인단자에서 연장되는 게이트라인이 서로 중첩하도록 배열되어 있으며, 상기 게이트라인과 연결되는 게이트단자와, 상기 데이터라인의 출력단과 연결되는 소스단자와, 액정커패시터와 저장커패시터의 일단이 병렬 구성되어 있는 드레인단자를 가지는 화소전계효과트랜지스터를 구비한 액정표시장치의 오프전류감소를 위한 바이어스 인가용 액정표시장치 패널구조로써,

상기 저장커패시터의 타단을 제1노드로 하여, 상기 제1노드에 교류전압을 인

가하기 위한 제1전압원과;

상기 제1스위치전계효과트랜지스터의 소스단자를 제2노드로 하여, 상기 제2노드에 직류전압을 인가하기 위한 제2전압원과;

상기 제1스위치전계효과트랜지스터의 게이트단자를 제3노드로 하여, 상기 제3노드에 직류전압을 인가하기 위한 제3전압원

을 포함하는 액정표시장치의 전계효과트랜지스터에 대한 오프-스테이트 스트레스 인가용 액정표시장치 패널구조

【보정대상항목】 청구항 9

【보정방법】 삭제

【서지사항】

【서류명】	서지사항 보정서
【수신처】	특허청장
【제출일자】	2003.06.26
【제출인】	
【명칭】	엘지.필립스엘시디(주)
【출원인코드】	1-1998-101865-5
【사건과의 관계】	출원인
【대리인】	
【성명】	정원기
【대리인코드】	9-1998-000534-2
【포괄위임등록번호】	1999-001832-7
【사건의 표시】	
【출원번호】	10-2002-0076723
【출원일자】	2002.12.04
【심사청구일자】	2002.12.04
【발명의 명칭】	액정표시장치의 전계효과트랜지스터에 대한 오프-스테이트 스 트레스 인가용 패널구조
【제출원인】	
【접수번호】	1-1-2002-0403453-16
【접수일자】	2002.12.04
【보정할 서류】	특허출원서
【보정할 사항】	
【보정대상항목】	발명자
【보정방법】	정정
【보정내용】	
【발명자】	
【성명의 국문표기】	박재덕

【성명의 영문표기】 PARK, JAE DEOK

【주민등록번호】 671228-1079519

【우편번호】 718-831

【주소】 경상북도 칠곡군 석적면 남율리 우방 신천지 타운 111동
100 1호

【국적】 KR

【발명자】

【성명의 국문표기】 김병구

【성명의 영문표기】 KIM, BYEONG KOO

【주민등록번호】 670923-1357816

【우편번호】 730-090

【주소】 경상북도 구미시 송정동 한신 아파트 101동 607호

【국적】 KR

【발명자】

【성명의 국문표기】 김기종

【성명의 영문표기】 KIM, KEE JONG

【주민등록번호】 680610-1399018

【우편번호】 135-886

【주소】 서울특별시 강남구 일원동 746번지 까치마을 아파트 1007동
311호

【국적】 KR

【취지】 특허법시행규칙 제13조 실용신안법시행규칙 제8조의 규정에 의하여 위
와 같 이 제출합니다.

대리인

정원기 (인)

【수수료】

【보정료】 0 원

【기타 수수료】	원	
【합계】	0	원

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002. 12. 04
【발명의 국문명칭】	액정표시장치의 전계효과트랜지스터에 대한 오프-스테이트 스트레스 인가용 패널구조
【발명의 영문명칭】	Pannel-structure for bias aging of PMOS device
【출원인】	
【명칭】	엘지.필립스엘시디(주)
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	정원기
【대리인코드】	9-1998-000534-2
【포괄위임등록번호】	1999-001832-7
【발명자】	
【성명의 국문표기】	박재덕
【성명의 영문표기】	PARK, JAE DEOK
【주민등록번호】	671228-1079519
【우편번호】	718-831
【주소】	경상북도 칠곡군 석적면 남율리 우방 신천지 타운 111동 1001호
【국적】	KR
【발명자】	
【성명의 국문표기】	김병구
【성명의 영문표기】	KIM, Byeoung-Koo
【주민등록번호】	670923-1357816

【우편번호】 730-090
【주소】 경상북도 구미시 송정동 한신 아파트 101동 607호
【국적】 KR
【발명자】
【성명의 국문표기】 김기종
【성명의 영문표기】 KIM,KEE JONG
【주민등록번호】 680610-1399018
【우편번호】 135-886
【주소】 서울특별시 강남구 수서동 746번지 까치마을 아파트 1007동
 311호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다.

대리인

정원기 (인)

【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 8 면 8,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 11 항 461,000 원
【합계】 498,000 원
【첨부서류】 1.요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 오프-스테이트 스트레스 인가방법에 관한 것으로서, AC펄스를 이용한 오프-스테이트 스트레스 인가를 통해 P-타입의 전계효과트랜지스터의 구동에 따른 누설 전류를 감소시키기 위한 패널의 구조에 관한 것이다.

상기한 목적은 게이트, 드레인, 소스 단자를 구비한 액정표시장치의 p-type화소 전계효과트랜지스터의 각 단자에 지정된 종류의 전압만 인가시켜주면 그 구현이 가능하므로, 액정패널의 제조과정중 백라이트 검사와 같은 검사공정에서도 동시 실행이 가능할 것이며, 이로 인해 별도의 장비나 공정이 필요 없어 특히 액정표시장치 제조상의 효율성이 크게 입증되는 방법이라 하겠다.

【대표도】

도 6

【명세서】

【발명의 명칭】

액정표시장치의 전계효과트랜지스터에 대한 오프-스테이트 스트레스 인가용
패널구조{Pannel-structure for bias aging of PMOS device}

【도면의 간단한 설명】

- <1> 도 1은 비정질 실리콘을 이용해 제작된 TFT-LCD 패널의 외형예시도
- <2> 도 2는 폴리실리콘을 이용해 제작된 TFT-LCD 패널의 외형예시도
- <3> 도 3은 폴리실리콘을 이용하여 제조된 박막트랜지스터의 단면예시도
- <4> 도 4는 폴리실리콘형 박막트랜지스터를 이용한 TFT-LCD의 사시구조도
- <5> 도 5는 본 발명에 따른 액정표시장치의 전계효과트랜지스터에 대한 오프-스
테이트 스트레스 인가용 패널구조의 제 1 실시예에 대한 제1응용 등가회로도
- <6> 도 6은 본 발명에 따른 액정표시장치의 전계효과트랜지스터에 대한 오프-스
테이트 스트레스 인가용 패널구조의 제1실시예의 제2응용 등가회로도
- <7> 도 7은 아날로그샘플링회로를 내장한 P-타입 액정표시장치 패널의 경우, 오프-스
테이트 스트레스인가를 위한 패널의 제1실시예의 제3응용 등가회로도
- <8> 도 8은 본 발명에 따른 액정표시장치의 전계효과트랜지스터에 대한 오프-스
테이트 스트레스 인가용 패널구조의 제 2 실시예에 대한 제1응용 등가회로도
- <9> 도 9는 본 발명에 따른 액정표시장치의 전계효과트랜지스터에 대한 오프-스

테이트 스트레스 인가용 패널구조 중 리던던시(Redundancy) 게이트드라이버를 갖는
액정표시장치 패널의 오프-스테이트 스트레스 인가 패널의 등가회로도

<10> 도 10은 본 발명에 따른 액정표시장치의 화소 전계효과트랜지스터에 대한 오프-스테이트 스트레스 인가용 패널구조의 구성예시도

<11> <도면의 주요부분에 대한 부호의 설명>

<12> 10 : 데이터드라이버 11 : 쉬프트레지스터

<13> 20, 22 : 제1, 제2게이트드라이버 30 : 화소-TFT

<14> 40 : 패스게이트-TFT 50 : 제1노드

<15> 55, 60 : 제2노드 70 : 제1스위치-TFT

<16> 80 : 제3노드 90 : 제2스위치-TFT

<17> 100, 200, 300, 400, 500 : 제1, 제2, 제3, 제4, 제5전압원

<18> VMUX : MUX회로 전압원 VData : 데이터드라이버 공급전압원

<19> ESD : 정전기방지회로

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<20> 본 발명은 폴리공정 TFT-LCD 제조에 있어서 PMOS 소자의 안정화를 위한 바이

어스 인가용 패널구조에 관한 것이다.

<21> 최근 정보화 사회로 시대가 급진전함에 따라, 대량의 정보를 처리하고 이를 표시하는 디스플레이(display)분야가 발전하고 있다.

<22> 근대까지 브라운관(cathode-ray tube ; CRT)이 표시장치의 주류를 이루고 발전을 거듭해 오고 있으나, 최근 들어 소형화, 경량화, 저소비전력화 등의 시대상에 부응하기 위해 평판표시소자(flat panel display)의 필요성이 대두되었다. 이에 따라 색 재현성이 우수하고 박형인 박막 트랜지스터형 액정 표시소자(Thin film transistor-liquid crystal display ; 이하 TFT-LCD라 한다)가 개발되었다.

<23> TFT-LCD의 동작을 살펴보면, 박막 트랜지스터에 의해 임의의 화소(pixel)가 스위칭 되면, 스위칭된 임의의 화소는 하부 광원의 빛을 투과할 수 있게 한다.

<24> 상기 스위칭 소자는 반도체층을 비정질 실리콘으로 형성한, 비정질 실리콘 박막 트랜지스터(amorphous silicon thin film transistor ; a-Si:H TFT)가 주류를 이루고 있다. 이는 비정질 실리콘 박막이 저가의 유리기판과 같은 대형 절연기판 상에 저온에서 형성하는 것이 가능하기 때문이다.

<25> 그러나, 상기 비정질 실리콘 TFT를 사용하는 TFT-LCD는 CRT와 비교해서 저소비전력의 우위를 가지고 있으나, 가격이 높은 단점이 있다. 이는 TFT-LCD를 구동하기 위해서는 구동회로가 사용되는데, 상기 구동회로의 가격이 높기 때문이다.

<26> 즉, 다시 말해, 현재 휴대용 컴퓨터 등에 널리 사용되고 있는 TFT-LCD는 도 1의 예시와 같이, 일반적으로 비정질 실리콘으로 제작된 화소 배열(pixel array)

기판에 단결정 실리콘(single crystal silicon)으로 제작된 구동 고밀도 집적회로 (Large scale integration ; 이하 LSI이라 한다)를 TAB(Tape automated bonding) 등의 방법으로 연결하여 구동한다. 그러나 이와 같은 방식은 SXGA(super extended graphic array ; $1280 \times 1024 \times 3$ 의 해상도를 가짐)와 같은 고해상도의 디스플레이를 구현함에 있어서 pixel array 기판과 구동 LSI의 연결에 최소한 $1280 \times 3 + 1024$ 개의 리드(lead)가 필요함을 의미하고, 이는 제조 공정상의 어려움을 가져올 수 있을 뿐만 아니라, TFT-LCD의 신뢰성(reliability)과 수율을 저하시킬 수 있다.

<27> 또한, 구동 LSI의 가격이 높기 때문에, 전체적으로 TFT-LCD 가격의 상승 요인이 된다.

<28> 근래에는 상술한 문제점을 해결하기 위해 TFT-LCD에 사용되는 스위칭 소자의 반도체층을 폴리(다결정)실리콘(Poly-Si)으로 사용하는 방법이 개발되어, 다결정 실리콘 TFT-LCD의 경우 화소 배열(pixel array)기판의 박막 트랜지스터와 구동회로를 동일 기판 상에서 모두 폴리실리콘으로 제작함으로써 도 2의 예시도와 같이, 구동회로가 집적된 TFT-LCD를 제작할 수 있게 되어 비정질 실리콘 TFT-LCD와 같이 화소 배열(pixel array) 기판과 구동회로를 연결하는 별도의 과정이 불필요하게 되었다.

<29> 상기와 같은 장점을 지닌 폴리실리콘을 이용하여 제조된 박막트랜지스터는 도 3의 예시단면도와 같이 구성되는데, 투명기판(A)상에 버퍼절연막(B)과 층간절연막(C)이 형성되어 있고, 상기 층간절연막(C)과 버퍼절연막(B) 사이에 활성층(D)이 적층된다. 상기 활성층(D)상부에 게이트절연막(E)과 게이트전극(F)이 적층되고, 상

기 충전절연막(C) 상에 보호막(G)을 적층하고 컨택홀을 구성하여 상기 활성층(D)과 전기적으로 연결되도록 구성된 소스전극(H)과 드레인전극(I)이 형성되어 있다. 상기 드레인전극(I)은 투명전극(J)과 전기적으로 연결되어 있다.

<30> 상기와 같은 구조를 가지는 폴리실리콘형 박막트랜지스터를 이용한 TFT-LCD의 사시구조도를 도 4에 도시하였으며, 상판과 하판으로 구분되어 도시되고 있다.

<31> 상기와 같이 상판과 하판이 결합된 셀 또는 상기 TFT는 제조상의 무결점 확보를 위해 여러 가지 공정을 거치게 되는데, 그 공정 중 하나로서 상판과 하판이 결합된 셀상태 또는 결합되지 않은 상태에서의 TFT에 대한 소자안정화공정이 있다.

<32> 이는 오랜 시간동안 상온에서 폴리실리콘형 TFT-LCD를 구동할 경우, 상기 폴리실리콘형 TFT의 P-N접합 부분에서 이동전자에 의해 발생하는 누설전류(I_{off})로 인해 TFT패널의 화상면에 잔상이 발생되고, 지속적인 잔상은 화소 불량률의 원인이 된다. 따라서, 장시간의 화면구동시 발생하는 잔상을 방지하기 위해 상기 폴리실리콘형 TFT-LCD 셀 다수의 입력단에 오프-스테이트 스트레스(Off-state stress)를 인가하여 PMOS소자의 누설전류 감소와 이동도 개선을 목적으로 하는 공정이 수행되어 진다.

<33> 상기 오프-스테이트 스트레스의 인가방법으로는 미국특허 제 5,945,866호에 설명된 바와 같은, 직류전압을 이용한 방법이 있으며, 또한 본 발명의 동 출원인에 의해 출원된 대한민국 출원번호 제02-51513호 "전계효과트랜지스터의 오프전류 감

소방법 및 시스템"이 있다.

- <34> 상기한 방법은 화소-TFT의 게이트, 소스, 드레인단자 중 일 단자에 교류 펄스를 인가하는 방법으로써, 액정커패시터와 저장커패시터에 상관없이 오프-스테이트 스트레스가 적용되는 장점이 있으며, 또한 다수의 오프-스테이트 스트레스 인가 단계를 거칠 필요 없이 한번의 과정으로 누설전류를 포함한 소자특성을 개선하는 장점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <35> 본 발명에서는 교류펄스를 이용한 전계효과트랜지스터의 오프-스테이트 스트레스 인가방법의 구체적 실현방법을 제시한다.
- <36> 또한 본 발명에서는 실제 생산현장 라인에서 적용가능한 다양한 오프-스테이트 스트레스 인가용 회로패널을 예시한다.

【발명의 구성】

- <37> 상기와 같은 목적을 달성하기 위해, 본 발명은 데이터라인과 게이트라인이 서로 중첩하도록 배열되어 있으며, 상기 게이트라인과 연결되는 게이트단자와, 상기 데이터라인과 연결되는 소스단자와, 액정커패시터와 저장커패시터의 일단이 병렬구성되어 있는 드레인단자를 가지는 화소전계효과트랜지스터를 포함하여 화소로 정의되는 액정표시장치의 오프전류감소를 위한 바이어스 인가용 액정표시장치 패널

구조로써,

<38> 제 1 실시예

<39> 상기 저장커패시터의 타단을 제1노드로 하여, 상기 제1노드에 전압을 인가하기 위한 제1전압원과; 상기 소스단자와 데이터라인과의 연결점을 제2노드로 하여, 상기 제2노드에 드레인단자가 연결된 제1스위치전계효과트랜지스터와; 상기 게이트단자와 게이트라인의 연결점을 제3노드로 하여, 상기 제3노드에 드레인단자가 연결된 제2스위치전계효과트랜지스터와; 상기 제1스위치전계효과트랜지스터의 소스단자에 전압을 인가하기 위한 제2전압원과; 상기 제2스위치전계효과트랜지스터의 소스단자에 전압을 인가하기 위한 제3전압원과; 상기 제1스위치전계효과트랜지스터와 제2스위치전계효과트랜지스터의 게이트단자에 전압을 인가하기 위한 제4전압원을 포함하는 액정표시장치의 전계효과트랜지스터에 대한 오프-스테이트 스트레스 인가용 액정표시장치 패널구조를 제시한다.

<40> 여기서 상기 각 전계효과트랜지스터는 PMOS타입인 것을 특징으로 하며, 상기 제1전압원은 교류전압원인 것을 특징으로 한다.

<41> 상기 제2노드와 제1스위치전계효과트랜지스터 사이의 데이터라인에 정전기방지회로가 더욱 연결되어 있는 것을 특징으로 한다.

<42> 상기 제1스위치전계효과트랜지스터의 게이트단자에 전압을 인가하기 위한 제4전압원과; 상기 제2스위치전계효과트랜지스터의 게이트단자에 전압을 인가하기 위

한 제5전압원을 더욱 포함하는 것을 특징으로 한다.

- <43> 상기 각 노드와 전압원의 연결 및 각 단자와 전압원의 연결은 TCP, FPC 방식 중 적어도 하나를 이용해 수행되는 것을 특징으로 한다.

<44> 제 2 실시예

- <45> 데이터라인과, 제1게이트드라이버를 구비하여 제1스위치전계효과트랜지스터의 소스단자가 상기 제1게이트드라이버에 연결되고 상기 제1스위치전계효과트랜지스터의 드레인단자에서 연장되는 게이트라인이 서로 중첩하도록 배열되어 있으며, 상기 게이트라인과 연결되는 게이트단자와, 상기 데이터라인과 연결되는 소스단자와, 액정커패시터와 저장커패시터의 일단이 병렬 구성되어 있는 드레인단자를 가지는 화소전계효과트랜지스터를 구비한 액정표시장치의 오프전류감소를 위한 바이어스 인가용 액정표시장치 패널구조로써,

- <46> 상기 저장커패시터의 타단을 제1노드로 하여, 상기 제1노드에 전압을 인가하기 위한 제1전압원과; 상기 제1스위치전계효과트랜지스터의 소스단자를 제2노드로 하여, 상기 제2노드에 전압을 인가하기 위한 제2전압원과; 상기 제1스위치전계효과트랜지스터의 게이트단자를 제3노드로 하여, 상기 제3노드에 전압을 인가하기 위한 제3전압원을 포함하는 액정표시장치의 전계효과트랜지스터에 대한 오프-스테이트 스트레스 인가용 액정표시장치 패널구조를 제시한다.

- <47> 여기서 상기 각 전계효과트랜지스터는 PMOS타입인 것을 특징으로 하며, 상기 제1전압원은 교류전압원인 것을 특징으로 한다.
- <48> 상기 제1스위치전계효과트랜지스터의 드레인단자에서 연장되는 게이트라인은 제2게이트드라이버와 연결되어 있는 것을 특징으로 한다.
- <49> 상기 각 노드와 전압원의 연결은 TCP, FPC 방식 중 적어도 하나를 이용해 수행되는 것을 특징으로 한다.
- <50> 이하 첨부된 도면을 참조하여 본 발명에 따른 액정표시장치의 전계효과트랜지스터에 대한 오프-스테이트 스트레스 인가용 패널구조에 대해 상세히 설명하기로 한다.
- <51> 도 5는 본 발명에 따른 액정표시장치의 전계효과트랜지스터에 대한 오프-스테이트 스트레스 인가용 패널구조의 제 1 실시예에 대한 제1응용 등가회로도로서, 다수의 비디오신호라인이 각각의 패스게이트-TFT(Passgate-TFT)(40)의 소스단자에 연결되어 있고, 상기 각각의 패스게이트-TFT(40)의 게이트단자는 상기 데이터드라이버(10)의 쉬프트레지스터(11) 출력단에 연결되어 있다.
- <52> 상기 패스게이트-TFT의 드레인단자는, 상기 비디오신호라인을 통해 각각의 패스게이트-TFT(40)에 비디오신호가 인가되고 이어 상기 데이터드라이버(10)의 쉬프트레지스터(11)에 의한 데이터클럭이 상기 패스게이트-TFT 게이트단자로 입력될 경우 각 화소-TFT(30)의 소스단자에 신호를 인가할 수 있도록 데이터라인을 형성하고 있다. 또한 게이트드라이버(20)의 출력단인 게이트라인은 각각의 화소-

TFT(30)의 게이트라인과 연결되어 있다.

<53> 상기 화소-TFT(30)의 드레인단자에는 공통전극(V_{COM})과 연결된 액정커패시터(C_{LC})와, 저장커패시터(C_{STG})가 제1노드(50)를 형성하여 병렬연결되어 있고, 상기 저장커패시터(C_{STG})는 제1전압원(100)과 연결되어 있다.

<54> 상기 화소-TFT(30)의 소스단자와 데이터라인이 연결되는 노드를 제2노드(60)로 하고, 상기 제2노드(60)에는 드레인단자가 연결된 제1스위치-TFT(70)가 소스단자에 제2전압원(200)과, 게이트단자에 제4전압원(400)과 연결되어 있다.

<55> 상기 화소-TFT(30)의 게이트단자와 상기 게이트드라이브(20)의 출력라인인 게이트라인과 연결되는 노드를 제3노드(80)로 하고, 상기 제3노드(80)에 드레인단자가 연결된 제2스위치-TFT(90)가 소스단자에 제3전압원(300)을, 게이트단자는 상기 제4전압원(400)과 연결되어 있다.

<56> 여기서 상기 제1전압원(100)은 교류전압원이고, 그 외 전압원은 바람직하게는 직류전압원이다. 또한 상기 등가회로에서 전압원과 스위치-TFT는 액정표시장치 패널과는 별도의 패널상에 구현될 수 있으며, 이때 상기 액정표시장치 패널과의 연결은 TAB, TCP, FPC 등의 방법을 이용하여 구현 가능하다.

<57> 또한 상기 화소-TFT(30), 패스게이트-TFT(Passgate-TFT)(40), 제1스위치-TFT(70), 제2스위치-TFT(90)는 바람직하게는 P-type MOSFET 소자이다.

<58> 상기 도 6의 본 발명에 따른 제 1 실시예에 대한 제1응용 등가회로도들을 이용한 액정표시장치의 화소-TFT(30)에 대한 오프-스테이트 스트레스 인가 방법을 설명

하면 다음과 같다.

<59> 상기 등가회로 패널을 구비한 후, 상기 화소-TFT(30)에 오프-스트레스를 인가하기 위해서는 상기 화소-TFT(30)의 게이트단자와 소스단자에 전압을 인가하여 구동시켜야 한다. 이를 위해, 상기 제1스위치-TFT(70)와 제2스위치-TFT(90) 및 제1~제4전압원(100)(200)(300)(400)이 별도의 패널로 구비되어 있는 것이다.

<60> 상기 제1스위치-TFT(70)와 제2스위치-TFT(90)의 구동을 위한 제4전압원에는 -8V를, 상기 제2전압원(200)에는 0V를 인가하여 상기 각 데이터배선의 제2노드(60)에 0V가 인가되도록 하고, 상기 제2스위치-TFT(90)의 소스에는 제3전압원(300)을 통해 25V를 인가하여 상기 화소-TFT(30)의 게이트단자에 25V의 전압이 인가되도록 하여 상기 화소-TFT(30)를 동작대기 상태로 턴-온(Turn-on)시켜 둔다.

<61> 이후 상기 제1전압원(100)을 통해 약 $\pm 15V$ 정도의 교류를 일정시간동안 인가시켜 주면 상기 교류전압에 의해 상기 화소-TFT(30)의 소스와 드레인전극 근처의 실리콘 계면으로 전자가 포획되어 패널의 누설전류 저감을 위한 오프-스테이트 스트레스 인가 효과가 발생된다.

<62> 도 6은 상기 도 6에 의한 제1실시예의 제2응용 등가회로도로서, 상기 도 6의 제1응용 등가회로도에 정전기방지회로(ESD)가 더욱 부가된 액정표시장치 패널에서의 화소-TFT(30)에 대한 오프-스테이트 스트레스 인가용 패널구조를 도시하고 있다.

<63> 도 6에서는 상기 도 5의 경우와 동일한 패널구조를 이용할 수 있으며, 상기 정전기방지회로(ESD)는 그 구성의 유무와는 상관없이 상기 화소-TFT(30)에 오프-스

테이트 스트레스를 인가시킬 수 있다.

<64> 도 7은 아날로그샘플링회로를 데이터드라이브(10)에 내장한 P-타입 액정표시장치 패널의 경우, 오프-스테이트 스트레스인가를 위한 패널의 등가회로도로서, 상기 제1실시예의 제3응용 등가회로도이다.

<65> 살펴보면, 상기 각 MUX-TFT(45)의 드레인단자가 데이터라인으로 이용되어 상기 각 화소-TFT(30)의 소스단자와 연결되고, 소스단자는 데이터드라이버 공급전압원(VData)과 연결된다. 그리고 상기 MUX-TFT(45)의 게이트단자는 데이터드라이버 내의 MUX회로 신호원(VMUX)과 각각 연결되어 있다.

<66> 상기와 같이 MUX-TFT(45)와 같은 아날로그 샘플링 회로를 내장한 액정표시장치 패널의 경우, 상기 화소-TFT(30)에 오프-스테이트 스트레스를 인가하기 위한 패널이 상기 도 5의 경우와 유사하게 구성된다.

<67> 즉, 상기 화소-TFT(30)의 드레인단자에는 공통전극(V_{COM})과 연결된 액정커패시터(C_{LC})와, 저장커패시터(C_{STG})가 제1노드(50)를 형성하여 병렬 구성되어 있고, 상기 저장커패시터(C_{STG})는 제1전압원(100)과 연결되어 있다.

<68> 상기 화소-TFT(30)의 소스단자와 데이터라인이 연결되는 노드를 제2노드(60)로 하고, 상기 제2노드(60)에는 드레인단자가 연결된 제1스위치-TFT(70)가 소스단자에 제2전압원(200)과, 게이트단자에 제4전압원(400)과 연결되어 있다.

<69> 상기 화소-TFT(30)의 게이트단자와 상기 게이트드라이브(20)의 출력라인인 게이트라인과 연결되는 노드를 제3노드(80)로 하고, 상기 제3노드(80)에 드레인단

자가 연결된 제2스위치-TFT(90)가 소스단자에 제3전압원(300)을, 게이트단자는 상기 제5전압원(500)과 연결되어 있다.

<70> 여기서 상기 데이터드라이버 공급전압원(VData)과 데이터드라이버 내의 MUX 신호원(VMUX)은 데이터드라이버 회로 내부에 구성되어 있다.

<71> 상기 등가회로 패널을 구비한 후, 상기 화소-TFT(30)에 오프-스트레스를 인가하기 위해서는 상기 화소-TFT(30)의 게이트단자와 소스단자에 전압을 인가하여 구동시켜야 한다. 이를 위해, 상기 제1스위치-TFT(70)와 제2스위치-TFT(90) 및 제1~제5전압원(100)(200)(300)(400)(500)이 구성되어 있는 것이다.

<72> 상기 데이터드라이버 공급전압원(VData)과 데이터드라이버 내의 MUX 신호원(VMUX)을 이용하지 않는 화소-TFT(30)의 오프-스테이트 스트레스 인가방법은 상기 도 6의 설명에 상술하였고, 본 제3응용예에서는 데이터드라이버의 내부구성을 이용한, 즉, 상기 데이터드라이버를 통해 공급전압원(VData)과 데이터드라이버 내의 MUX를 이용한 MUX신호(VMUX)의 인가를 응용한 방법을 설명한다.

<73> 먼저 상기 제1스위치-TFT(70)를 이용하지 않기 위해, 상기 제4전압원(400)에 10V를 인가하여 제1스위치-TFT(70)를 턴-오프 시킨다.

<74> 다음으로 상기 제2스위치-TFT(90)의 턴온을 위해 상기 제5전압원(500)에 -8V를 인가한 후 상기 제3전압원(300)을 통해 약 25V를 인가하여 상기 화소-TFT(30)의 게이트전극에 인가되도록 한다.

<75> 다음으로 상기 데이터드라이버 내의 MUX회로 신호원(VMUX)에 -8V를 인가하여

상기 MUX-TFT(45)를 턴온시키고 상기 데이터드라이버 공급전압원(VData)에 0V를 인가하여 상기 화소-TFT(30)의 소스전극에 0V를 인가한다.

<76> 이후 상기 제1전압원(100)에 ± 15 정도의 교류전압을 인가하여 상기 PMOS소자인 화소-TFT(30)에 오프-스트레스를 인가한다.

<77> 도 8은 본 발명에 따른 액정표시장치의 전계효과트랜지스터에 대한 오프-스테이트 스트레스 인가용 패널구조의 제 2 실시예에 대한 제1응용 등가회로도로서, 데이터라인과, 제1게이트드라이버(20)를 구비하여 제1스위치-TFT(70)의 소스단자가 상기 제1게이트드라이버(20)의 출력단에 연결되고 상기 제1스위치-TFT(70)의 드레인단자에서 연장되는 게이트라인이 서로 중첩하도록 배열되어 있으며, 상기 게이트라인과 연결되는 게이트단자와, 상기 데이터라인과 연결되는 소스단자와, 액정커패시터(C_{LC})와 저장커패시터(C_{STG})의 일단이 병렬 구성되어 있는 드레인단자를 가지는 화소-TFT(30)를 구비한 액정표시장치에서 아날로그샘플링회로를 데이터드라이버 내부에 구비한 p-타입 액정 패널의 오프전류감소를 위한 바이어스 인가용 액정표시장치 패널 응용구조이다.

<78> 살펴보면, 상기 저장커패시터(C_{STG})의 타단을 제1노드(50)로 하여, 상기 제1노드에 전압을 인가하기 위한 제1전압원(100)과, 제1스위치-TFT(70)의 소스단자를 제2노드(55)로 하여, 상기 제2노드에 전압을 인가하기 위한 제2전압원(200)과, 상기 제1스위치-TFT(70)의 게이트단자에 전압을 인가하기 위한 제3전압원(300)을 구비하고 있다.

- <79> 상기 구조는 아날로그샘플링회로를 데이터드라이버 내에 구비한 P-타입 액정 표시장치 패널에 대한 오프-스테이트 스트레스 인가 패널로써, 제1게이트드라이버 (20)의 출력단에 제1스위치-TFT(70)가 구비되어, 상기 제1스위치-TFT(70)의 게이트 단자에 -8V, 소스단자에 25V의 전압을 인가하여 상기 화소-TFT(80)의 게이트단자에 25V를 인가한다.
- <80> 또한 상기 데이터드라이버 내의 MUX회로 신호원(VMUX)에 -8V를 인가하여 상기 MUX-TFT(45)를 턴온시키고 상기 데이터드라이버 공급전압원(VData)에 0V를 인가하여 상기 화소-TFT(30)의 소스전극에 0V를 인가한다.
- <81> 이후 상기 제1전압원(100)에 ± 15 정도의 교류전압을 인가하여 상기 PMOS소자인 화소-TFT(30)에 오프-스트레스를 인가한다.
- <82> 도 9는 리던던시(Redundancy) 게이트드라이버를 갖는 액정표시장치 패널의 오프-스테이트 스트레스 인가 패널의 등가회로를 도시하고 있다.
- <83> 상기 구조는 상기 도 8의 제 2 실시예에 대한 제1응용예와 동일하게 구동하여 상기 화소-TFT(30)에 오프-스테이트 스트레스를 인가할 수 있으므로 상세한 설명은 생략한다.
- <84> 도 10은 상기와 같이 설명한 본 발명에 따른 액정표시장치의 전계효과트랜지스터에 대한 오프-스테이트 스트레스 인가용 패널구조를 구성함에 있어서, 각각의 전압원을 구성함에 있어서 액정패널과의 연결방법 및 위치의 다양성을 보여주는 도면이라 하겠다. 각각의 전압원은 액정패널의 여러부분에 위치할 수 있으며, 또한

상기 각 전압원과 액정패널상의 전기적인 연결은 별도의 바이어스인가용(오프-스테이트 스트레스 인가용) 패넬을 구성할 수 도 있으며 TCP(TAPE CARRIER PACKAGE)패넬 또는 FPC(Flexible Printed Circuit)패넬을 통해 수행되어 질 수 있음을 도시하고 있다.

【발명의 효과】

<85> 상기한 설명과 같이, 본 발명에 따른 PMOS소자의 누설전류 저감을 위한 오프-스테이트 스트레스 인가방법은 DC전압을 TFT의 드레인과 소스측에 차례로 인가하던 기존의 방법을 떠나 AC펄스를 이용한 새로운 오프-스테이트 스트레스 인가방법의 구체적인 실현방안을 제시하고 있으며, 이는 p-type TFT의 특정 단자에 지정된 종류의 전압만 인가시켜주면 그 구현이 가능하므로, 액정패넬의 제조과정중 백라이트 검사와 같은 검사공정에서도 동시 실행이 가능할 것이며, 이로 인해 별도의 장비나 공정이 필요 없어 제조상의 효율성이 입증되는 패넬구조라 하겠다.

【특허청구범위】

【청구항 1】

데이터라인과 게이트라인이 서로 종횡하도록 배열되어 있으며, 상기 게이트라인과 연결되는 게이트단자와, 상기 데이터라인과 연결되는 소스단자와, 액정커패시터와 저장커패시터의 일단이 병렬 구성되어 있는 드레인단자를 가지는 화소전계효과트랜지스터를 포함하여 화소로 정의되는 액정표시장치의 오프전류감소를 위한 바이어스 인가용 액정표시장치 패널구조로써,

상기 저장커패시터의 타단을 제1노드로 하여, 상기 제1노드에 전압을 인가하기 위한 제1전압원과;

상기 소스단자와 데이터라인과의 연결점을 제2노드로 하여, 상기 제2노드에 드레인단자가 연결된 제1스위치전계효과트랜지스터와;

상기 게이트단자와 게이트라인의 연결점을 제3노드로 하여, 상기 제3노드에 드레인단자가 연결된 제2스위치전계효과트랜지스터와;

상기 제1스위치전계효과트랜지스터의 소스단자에 전압을 인가하기 위한 제2전압원과;

상기 제2스위치전계효과트랜지스터의 소스단자에 전압을 인가하기 위한 제3전압원과;

상기 제1스위치전계효과트랜지스터와 제2스위치전계효과트랜지스터의 게이트단자에 전압을 인가하기 위한 제4전압원

을 포함하는 액정표시장치의 전계효과트랜지스터에 대한 오프-스테이트 스트레스 인가용 액정표시장치 패널구조

【청구항 2】

청구항 제 1 항에 있어서,

상기 각 전계효과트랜지스터는 PMOS타입인 것을 특징으로 하는 액정표시장치의 전계효과트랜지스터에 대한 오프-스테이트 스트레스 인가용 액정표시장치 패널구조

【청구항 3】

청구항 제 1 항에 있어서,

상기 제1전압원은 교류전압원인 것을 특징으로 하는 액정표시장치의 전계효과트랜지스터에 대한 오프-스테이트 스트레스 인가용 액정표시장치 패널구조

【청구항 4】

청구항 제 1 항에 있어서,

상기 제2노드와 제1스위치전계효과트랜지스터 사이의 데이터라인에 정전기방지회로가 연결되어 있는 것을 특징으로 하는 액정표시장치의 전계효과트랜지스터에 대한 오프-스테이트 스트레스 인가용 액정표시장치 패널구조

【청구항 5】

청구항 제 1 항에 있어서,

상기 제1스위치전계효과트랜지스터의 게이트단자에 전압을 인가하기 위한 제 4전압원과;

상기 제2스위치전계효과트랜지스터의 게이트단자에 전압을 인가하기 위한 제 5전압원

을 더욱 포함하는 액정표시장치의 전계효과트랜지스터에 대한 오프-스테이트 스트레스 인가용 액정표시장치 패널구조

【청구항 6】

청구항 제 1 항에 있어서,

상기 각 노드와 전압원의 연결 및 각 단자와 전압원의 연결은 TCP, FPC 방식 중 적어도 하나를 이용해 수행되는 것을 특징으로 하는 액정표시장치의 전계효과트랜지스터에 대한 오프-스테이트 스트레스 인가용 액정표시장치 패널구조

【청구항 7】

데이터라인과, 제1게이트드라이버를 구비하여 제1스위치전계효과트랜지스터

의 소스단자가 상기 제1게이트드라이버의 출력단에 연결되고 상기 제1스위치전계효과트랜지스터의 드레인단자에서 연장되는 게이트라인이 서로 중첩하도록 배열되어 있으며, 상기 게이트라인과 연결되는 게이트단자와, 상기 데이터라인의 출력단과 연결되는 소스단자와, 액정커패시터와 저장커패시터의 일단이 병렬 구성되어 있는 드레인단자를 가지는 화소전계효과트랜지스터를 구비한 액정표시장치의 오프전류감소를 위한 바이어스 인가용 액정표시장치 패널구조로써,

상기 저장커패시터의 타단을 제1노드로 하여, 상기 제1노드에 전압을 인가하기 위한 제1전압원과;

상기 제1스위치전계효과트랜지스터의 소스단자를 제2노드로 하여, 상기 제2노드에 전압을 인가하기 위한 제2전압원과;

상기 제1스위치전계효과트랜지스터의 게이트단자를 제3노드로 하여, 상기 제3노드에 전압을 인가하기 위한 제3전압원

을 포함하는 액정표시장치의 전계효과트랜지스터에 대한 오프-스테이트 스트레스 인가용 액정표시장치 패널구조

【청구항 8】

청구항 제 7 항에 있어서,

상기 각 전계효과트랜지스터는 PMOS타입인 것을 특징으로 하는 액정표시장치의 전계효과트랜지스터에 대한 오프-스테이트 스트레스 인가용 액정표시장치 패널

구조

【청구항 9】

청구항 제 7 항에 있어서,

상기 제1전압원은 교류전압원인 것을 특징으로 하는 액정표시장치의 전계효과 트랜지스터에 대한 오프-스테이트 스트레스 인가용 액정표시장치 패널구조

【청구항 10】

청구항 제 7 항에 있어서,

상기 제1스위치전계효과 트랜지스터의 드레인단자에서 연장되는 게이트라인은 제2게이트드라이버와 연결되어 있는 것을 특징으로 하는 액정표시장치의 전계효과 트랜지스터에 대한 오프-스테이트 스트레스 인가용 액정표시장치 패널구조

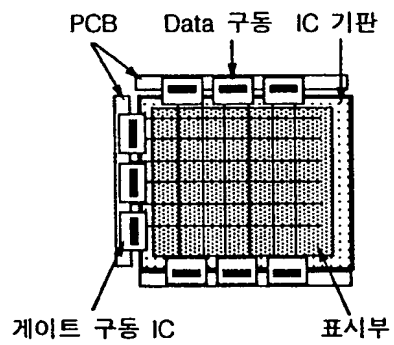
【청구항 11】

청구항 제 7 항에 있어서,

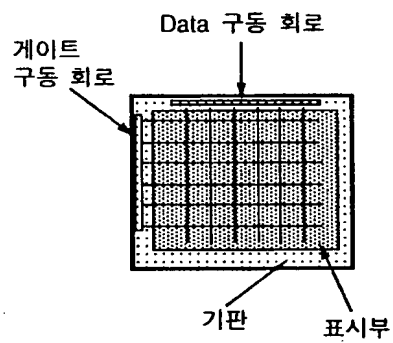
상기 각 노드와 전압원의 연결은 TCP, FPC 방식 중 적어도 하나를 이용해 수행되는 것을 특징으로 하는 액정표시장치의 전계효과 트랜지스터에 대한 오프-스테이트 스트레스 인가용 액정표시장치 패널구조

【도면】

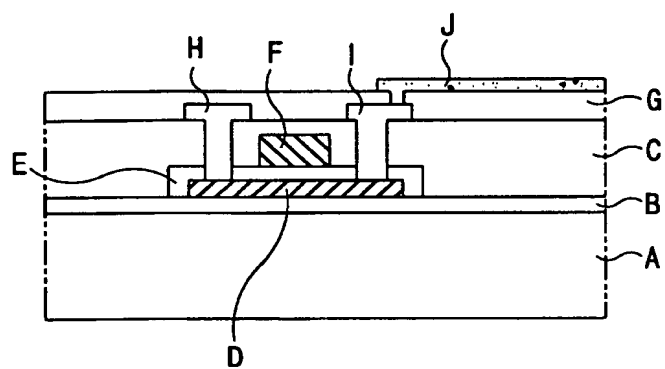
【도 1】



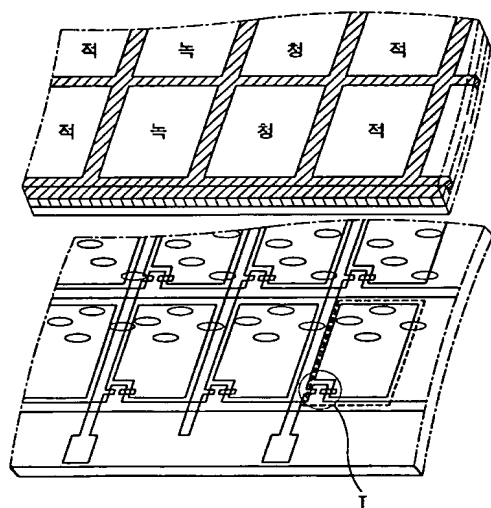
【도 2】



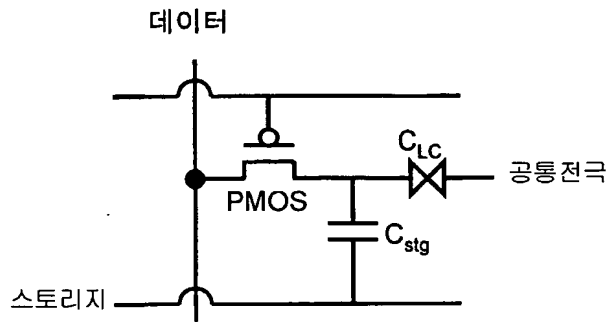
【도 3】



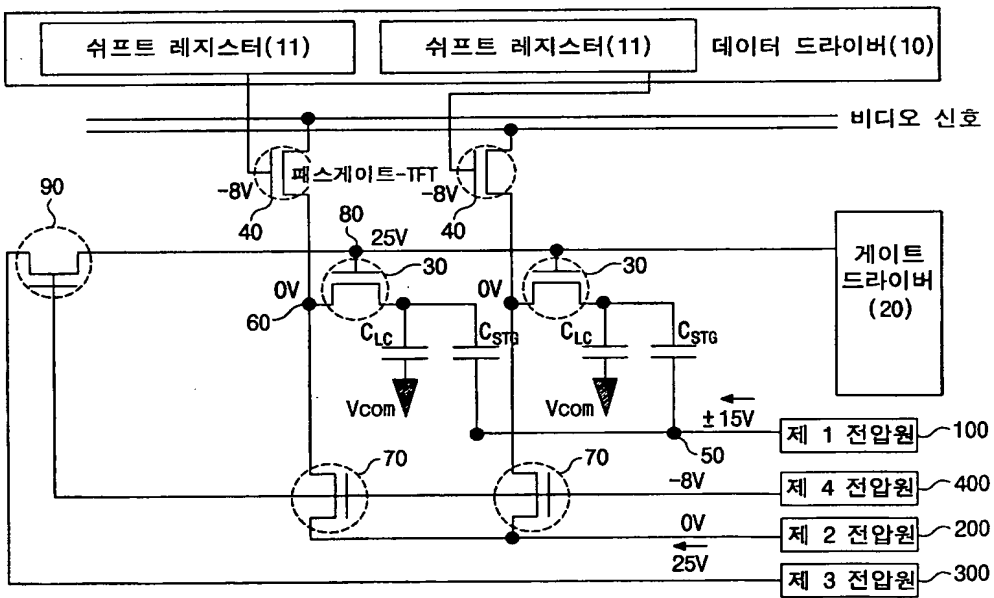
【도 4】



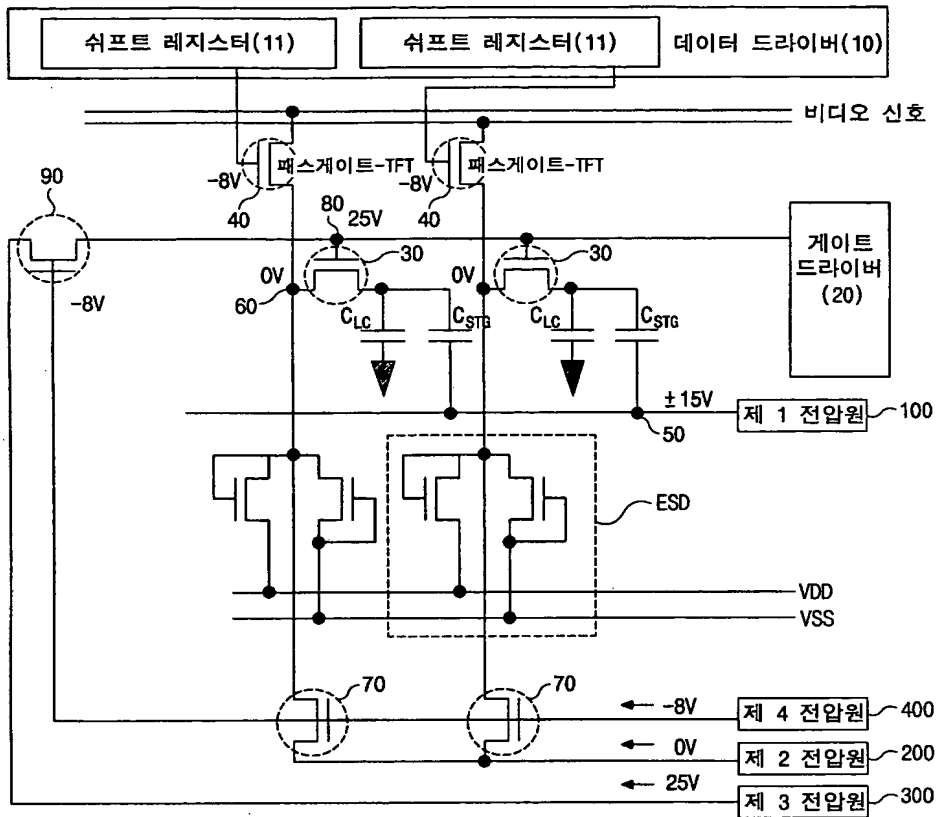
【도 5】



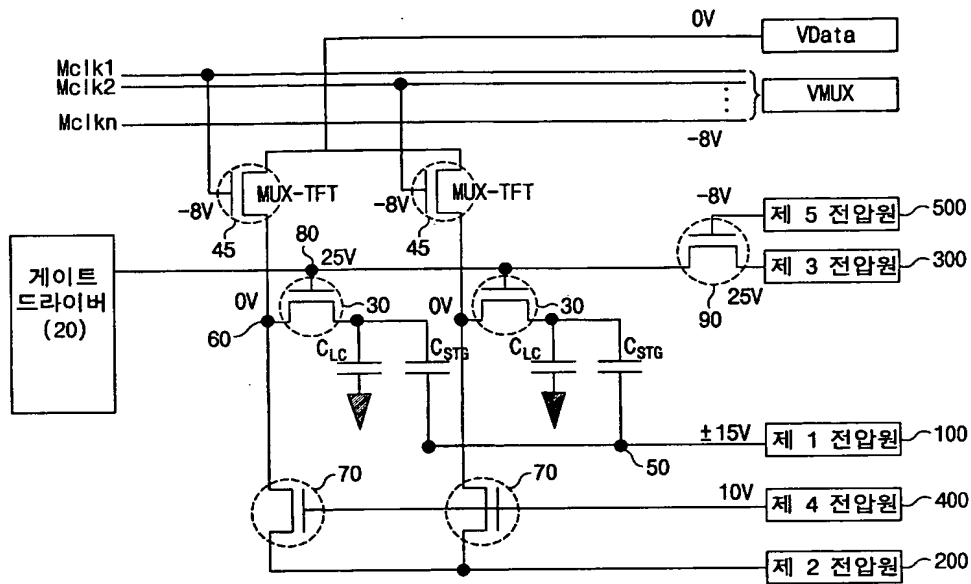
【도 6】



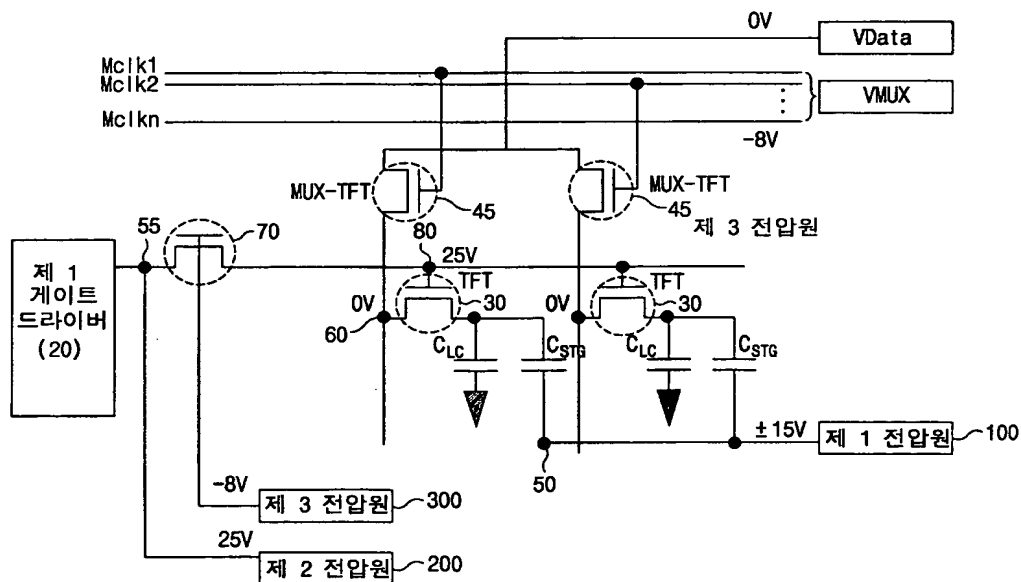
【도 7】



【도 8】



【도 9】



【도 10】

